

# **:: Patents Index (CTPI) in English**

Boolean Search | Patent Number Search | Field search

## **480818 -- Patent Information**

Published Serial No.	480818											
Title	Carry lookahead for programmable logic array											
Patent type	B											
Date of Grant	2002/3/21											
Application Number	089128332											
Filing Date	2001/2/1											
IPC	H03K19/177 & G06F7/50											
Inventor	RUPP, CHARLE R.(US)											
Priority	<table><tr><td>Country</td><td>Application Number</td><td>Priority Date</td></tr><tr><td></td><td>US19990174004P</td><td>1999/12/30</td></tr><tr><td></td><td>US20000550919</td><td>2000/04/17</td></tr></table>			Country	Application Number	Priority Date		US19990174004P	1999/12/30		US20000550919	2000/04/17
Country	Application Number	Priority Date										
	US19990174004P	1999/12/30										
	US20000550919	2000/04/17										
Applicant	<table><tr><td>Name</td><td>Country</td><td>Individual/Company</td></tr><tr><td>ADAPTIVE SILICON INC.</td><td>US</td><td>Company</td></tr></table>			Name	Country	Individual/Company	ADAPTIVE SILICON INC.	US	Company			
Name	Country	Individual/Company										
ADAPTIVE SILICON INC.	US	Company										
Abstract	<p>Carry lookahead techniques are adapted for implementation in a programmable logic device. In one example of the invention, a carry result is computed for a block of function cells, each function cell representing one bit in a multibit operation that uses carry. This carry result is combined with the carry input from a function cell block representing less significant bits in the operation and a carry output is provided to a function cell block representing more significant bits in the operation. The received carry can also be supplied to adjust provisional carry results for each bit associated with the function cells in the block. Accordingly, the received carry input need not be rippled through all the function cells in the block, thus reducing carry propagation delays. This technique is suitable for use in programmable logic devices because only minimal additional logic need be included in each block of function cells (such as the CLBs and LABs in the prior art), and because few, in any, new interconnections between blocks need be introduced.</p>											

(ENGLISH TRANSLATION)

R. O. C LETTERS PATENT

INVENTION PATENT NO.: 152994

TITLE OF THE INVENTION: "CARRY LOOKAHEAD FOR PROGRAMMABLE  
LOGIC ARRAY"

PATENTEE(S): ADAPTIVE SILICON, INC.

INVENTOR(S):

1. Charle' R. Rupp

DURATION TERM: FROM March 21, 2002 TO January 31, 2021

The Patentee(s) has/have hereby obtained the patent right to the above  
INVENTION patent according to the Patent Law.

COMMISSIONER OF INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS Sealed by  
REPUBLIC OF CHINA

Ming-Bang Chen  
Director

Dated this 22nd day of July, 2002

(Note: the remaining annuities will become due for payment on  
March 20, 2003 and annually thereafter.)

Importance: As a courtesy service to our associates and clients, deadlines are  
controlled and reminders will be sent annually. However,  
this firm refrains from assuming any responsibility for missing  
calendar-related reminders, which occurs inadvertently, and requests  
that the control system for deadlines be maintained at your end as  
well.

# 中華民國專利證書

發明第一五二九九四號

發明名稱：用於可規劃邏輯陣列之進位預看技術

專利權人：適應矽公司

發明人：查勒R·盧伯

專利權期間：自中華民國九十一年三月二十一日  
至一一〇年一月三十一日止

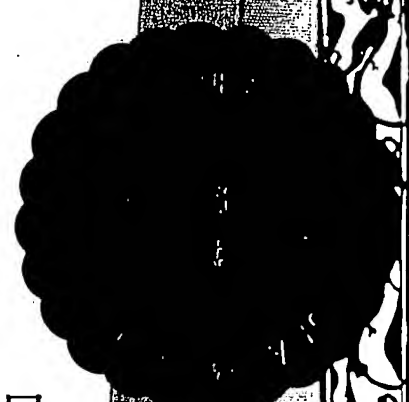
上開發明業經專利權人依專利法之規定取得專利權

經濟部智慧財產局

局長 陳明邦

中華民國

二十日



注意：

專利權人未依法繳納年費者，其專利權自原繳費期限屆滿之次日起消滅。

[11]公告編號：480018

[44]中華民國 91年(2002) 03月21日

發明

[51] Int.Cl.<sup>07</sup> : H03K19/177

G06F7/50

[54]名稱：用於可規劃邏輯陣列之進位預看技術

[21]申請案號：089128332

[22]申請日期：中華民國 90年(2001) 02月01日

[30]優先權：[31]60/174,004

[32]1999/12/30

[33]美國

[31]09/550,919

[32]2000/04/17

[33]美國

[72]發明人：

查勒R. 盧伯

美國

[71]申請人：

適應矽公司

美國

[74]代理人：惲軼群 先生

陳文郎 先生

1

2

[57]申請專利範圍：

1.一種可規劃邏輯裝置，包含有：

多個(N)功能胞元，各個功能胞元適於提供一個N位元運算之個別位元結果，該等N個功能胞元係配置成多個方塊，而各方塊有個別次多個胞元；及

一中間進位計算單元，與至少一個該等方塊聯結，該中間進位計算單元根據自與該N位元運算中的較低有效位元相關聯之另一方塊接收的一進位輸入來計算針對該方塊的中間進位結果，以及對應於與該方塊之最高有效位元相關聯之功能胞元之位元結果的信號。

2.依據申請專利範圍第1項的可規劃邏輯裝置，其中該等信號係來自該至少一方塊中的各功能胞元之一傳播(P)和一產生(G)輸出的組合。

3.依據申請專利範圍第2項的可規劃邏輯裝置，其中該中間進位計算單元

實施下列形式之方程式：

$$C_{out} = G(OR)(C_{in}(AND)P),$$

其中 $C_{out}$ 係中間進位結果，且 $C_{in}$ 為所接收進位輸入。

5. 4.依據申請專利範圍第1項的可規劃邏輯裝置，其更包含動態地控制每方塊之胞元數目的一多工器。

5. 5.依據申請專利範圍第1項的可規劃邏輯裝置，其中該中間進位計算單元可操作使得在所接收該進位輸入中的改變和該中間進位結果中的改變間之延遲係大致為該中間進位計算單元之傳播時間。

15. 6.依據申請專利範圍第1項的可規劃邏輯裝置，其更包含一增量調整方塊，該增量調整方塊依據針對配置有該等功能胞元的該等個別方塊之一實際進位輸入來調整與該等功能胞元之位元結果相關聯的一臨時進位。

- 據申請專利範圍第 2 項的可規劃邏輯裝置，其中各功能胞元實施一 '74181 型 ALU 之位元切片，來根據兩單一位元可變輸入和一經接收功能碼而產生該等 P 和 G 輸出。
8. 依據申請專利範圍第 7 項的可規劃邏輯裝置，其中該等 P 和 G 輸出係以漣波方式來組合以提供該等信號。
9. 一種在可規劃邏輯裝置中實施進位傳播的方法，包含：  
 辨認 N 個功能胞元來分別提供一個 N 位元運算的位元結果；  
 把該等 N 個功能胞元劃分成每方塊有個別次多個功能胞元之多個方塊；及  
 根據來自與該 N 位元運算中的較低有效位元相關聯之方塊中的另一個，來計算在該等方塊中的至少一個中之一中間進位結果，以及對應於與該方塊之最高有效位元相關聯之功能胞元之位元結果的信號。
10. 依據申請專利範圍第 9 項的方法，其更包含：  
 把來自各功能胞元之一傳播(P)和一產生(G)輸出組合以產生在該至少一方塊中的該等信號。
11. 依據申請專利範圍第 10 項的方法，其中該計算步驟實施下列形式之方程式：  

$$C_{out} = (OR)(C_{in}(AND)P),$$
 其中  $C_{out}$  係中間進位結果，且  $C_{in}$  為所接收進位輸入。
12. 依據申請專利範圍第 9 項的方法，其更包含：  
 提供動態地控制每方塊之胞元數目的一多工器。
13. 依據申請專利範圍第 9 項的方法，其中該中間進位計算步驟可操作使得在所接收該進位輸入中的改變和該中間進位結果中的改變間之延遲

係大致為與該中間進位計算步驟相關聯之傳播時間。

14. 依據申請專利範圍第 9 項的方法，其更包含：  
 依據針對配置有該等功能胞元的該等個別方塊之一實際進位輸入來調整與該等功能胞元之位元結果相關聯的一臨時進位。
15. 依據申請專利範圍第 10 項的方法，其更包含：  
 在各功能胞元中實施一 '74181 型 ALU 之位元切片，來根據兩單一位元可變輸入和一經接收功能碼而產生該等 P 和 G 輸出。
16. 依據申請專利範圍第 15 項的方法，其更包含：  
 以漣波方式把該等 P 和 G 輸出組合以提供該等信號。
17. 一種在可規劃邏輯裝置中的 ALU 方塊，該 ALU 方塊包含：  
 M 個功能胞元，各產生與在包括一最低有效位元到一最高有效位元的多位元運算中之一個別位元對應的信號，該等信號包括代表針對個別位元的進位作為輸入到該 ALU 方塊的一經假設進位輸入之函數的一臨時進位信號；  
 一實際進位輸入；  
 一中間進位級段，其接收該實際進位輸入和來自與最高有效位元相關聯的該等 M 個功能胞元中之一個的信號，並產生一中間進位輸出；及  
 一增量調整級段，其接收來自該等 M 個功能胞元的信號和該實際進位輸入，並根據在該經假設進位輸入和該實際進位輸入間的差值來調整針對各個別位元之進位。
18. 一種在可規劃邏輯裝置之至少一部份中實施的 N 位元 ALU，該 ALU 包含：

一進位輸入；  
N 個可變輸入；  
一功能輸入；  
一進位輸出；

N 個功能胞元，各分別耦合於該等可變輸入中之一個和該功能輸入，並根據它們來產生信號；及  
N/M 個中間進位計算單元，各接收一中間進位輸入和來自該等功能胞元中的一個別第 M 個之信號，並根據它們來產生一中間進位結果，其中該等中間進位計算單元中的一最低有效者之中間進位輸入係該進位輸入，該等中間進位計算單元中的另一個之中間進位輸入係該等中間進位計算單元中的一較低有效者之中間進位結果，且該等中間進位計算單元中的一最高有效者之中間進位結果係該進位輸出。

19. 一種針對在可規劃邏輯裝置之至少一部份中的 N 位元運算傳播進位之方法，該等 N 個位元係配置在 M 個位元之 N/M 群組中，該方法包含：  
接收一進位輸入；

針對該 N 位元運算中的各位元產生分別與一臨時進位結果對應的多個信號；

根據所接收該進位輸入和對應於該 N 位元運算之第 M 個位元的信號而計算一第一中間進位結果；及

根據該第一中間進位結果和對應於該 N 位元運算之第  $2 \cdot M$  個位元的信號而計算一第二中間進位結果。

圖式簡單說明：

第 1 圖說明使用在由西寧克斯公司製造的傳統可規劃邏輯裝置中之一 CLB 中的進位技術；

第 2 圖說明使用在由阿特拉公司製造的傳統可規劃邏輯裝置中之一

LAB 中的進位技術；

第 3A 圖係依據本發明之一算術邏輯單元(ALU)的方塊圖；

第 3B 圖係如包括在第 3A 圖之 ALU 中者的功能胞元之邏輯符號；

第 4 圖說明依據實施一漣波進位設計的發明之一例的 ALU；

第 5 圖說明如可使用來實施本發明之進位方程式者之一 K 方塊；

第 6 圖說明依據實施一最少延遲平衡的樹狀進位設計的本發明之另一例的 ALU；

第 7 圖說明如可使用來實施本發明之進位方程式者之一 PK 方塊；

第 8 圖說明依據實施一金字塔進位設計的本發明之另一例的 ALU；

第 9A 和 9B 圖說明由分解部份之第 8 圖中的結構所產生之 CLA 方塊；

第 10A 和 10B 圖說明由分解第 8 圖中的結構之其餘部份所產生之 CLU 方塊；

第 11 圖說明第 9 和 10 圖中所示之方塊可被互相連接來實施第 8 圖中說明之 ALU 的方式；

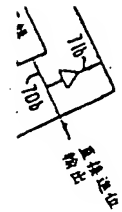
第 12 圖說明依據實施可容易通用於可規劃邏輯裝置之一進位預看設計之本發明的較佳例子之 ALU；

第 13 圖說明可修正一傳統可規劃邏輯裝置中的 CLB 以實施本發明之進位預看設計的方式；

第 14 圖說明如被修正以實施本發明之進位預看設計的審查中美國專利申請案第 09/475,400 號中揭露者之一功能胞元；及

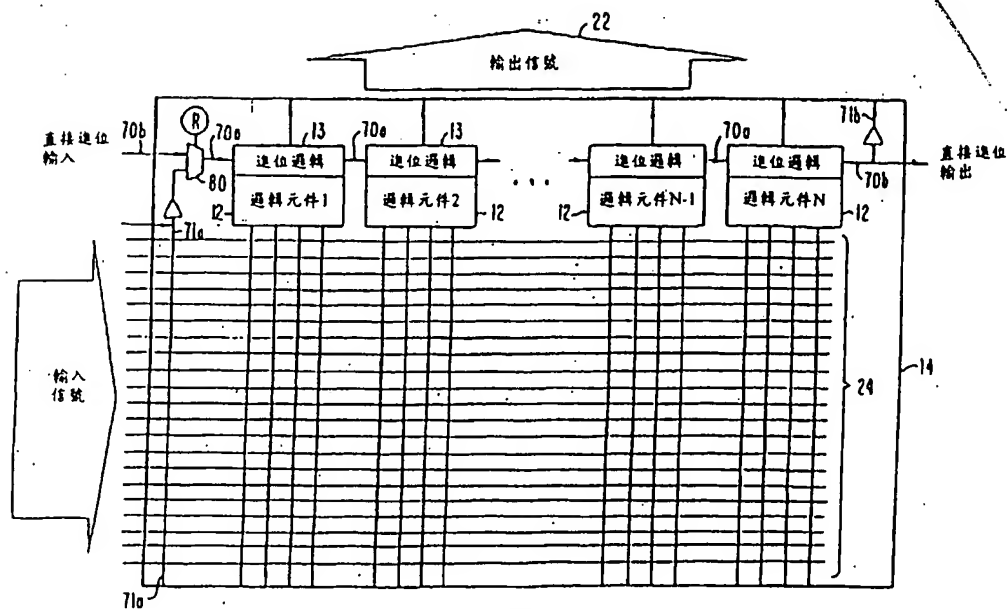
第 15 圖說明如被修正以實施本發明之進位預看設計的審查中美國專利申請案第 09/475,400 號中揭露者之一算術模式控制器。

3  
依據申請專利範圍第 2 項  
輯裝置，其中各功能胞  
74181 型 ALU 之位元切片  
兩單一位元可變輸入  
8. 依據申請專利  
輯裝置

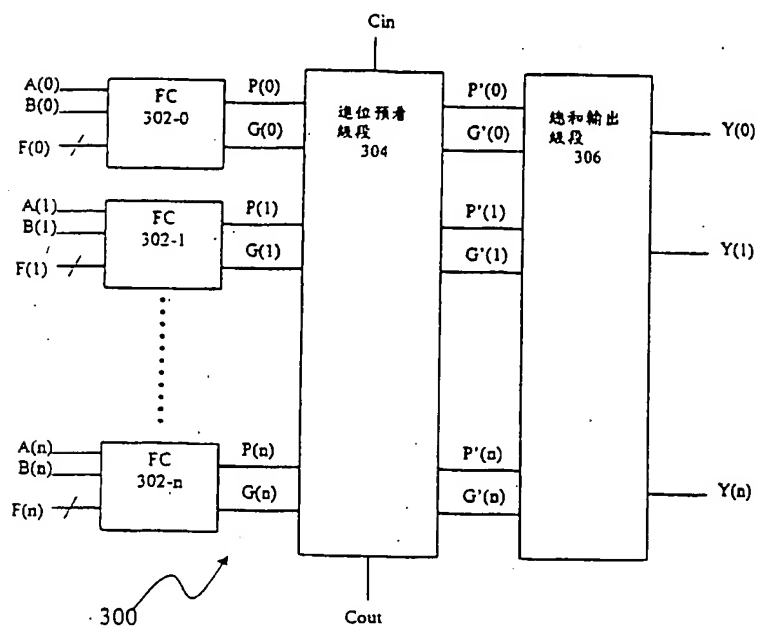


- 5346 -

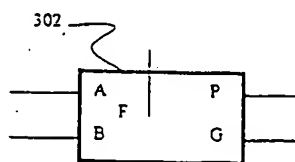
(5)



第 2 圖

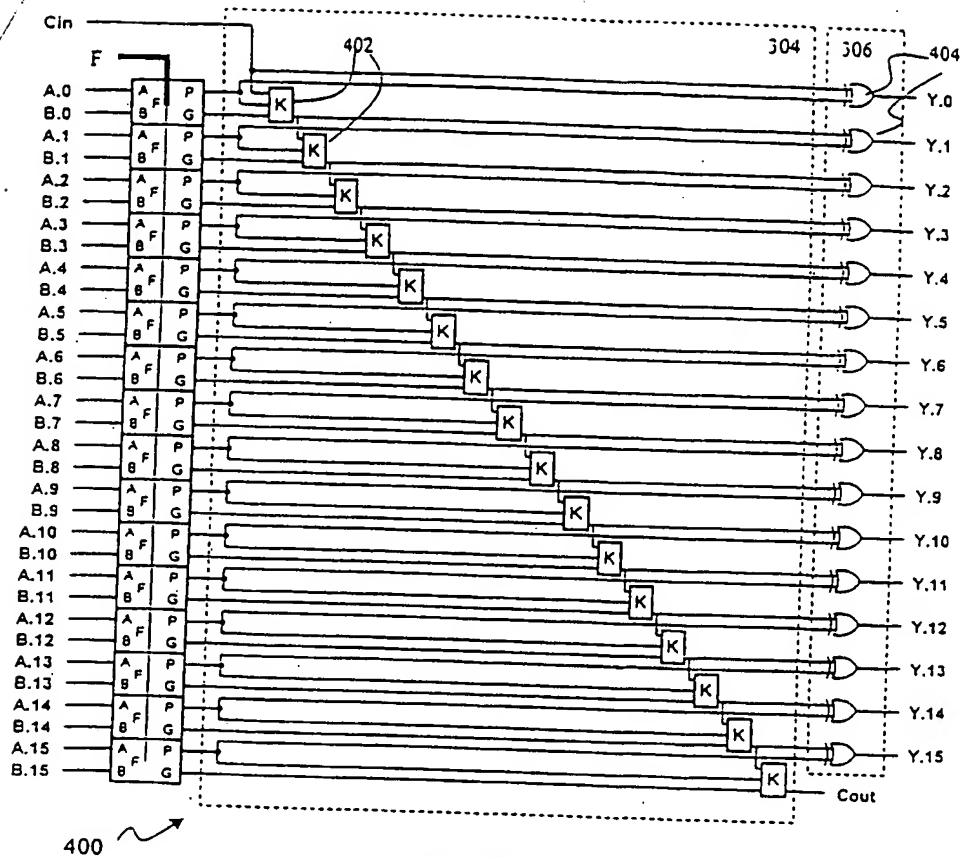


第 3A 圖

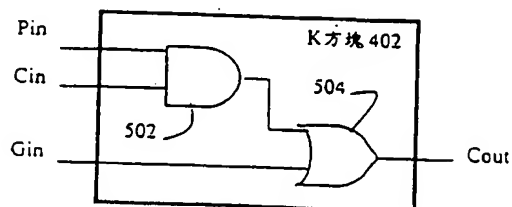


第 3B 圖

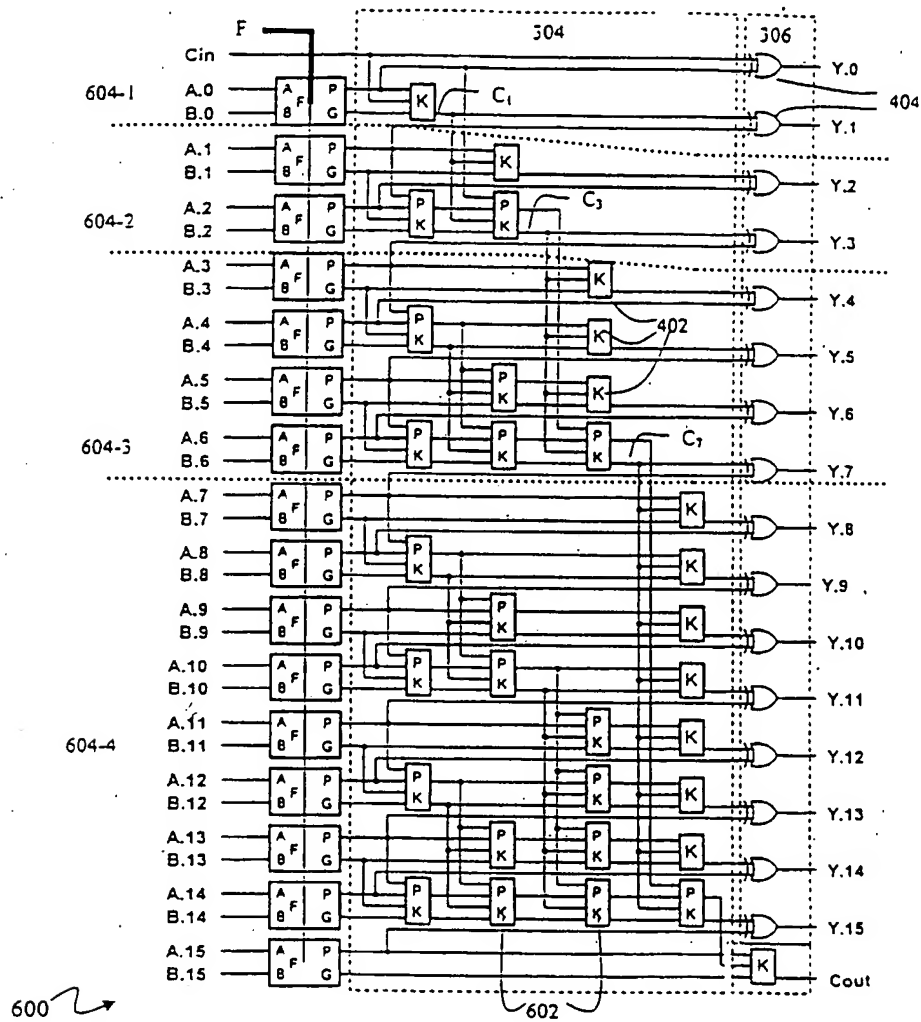
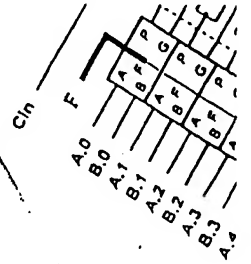




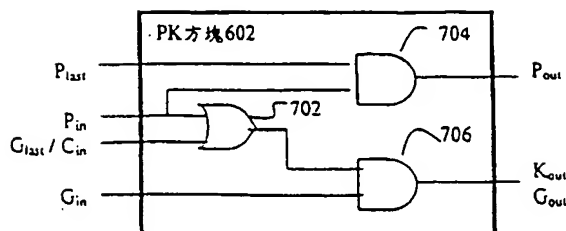
第 4 圖



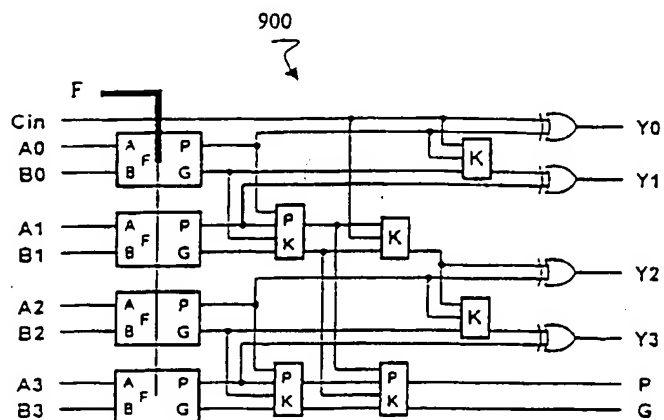
第 5 圖



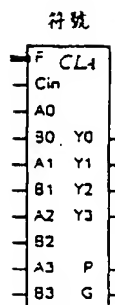
第 6 圖



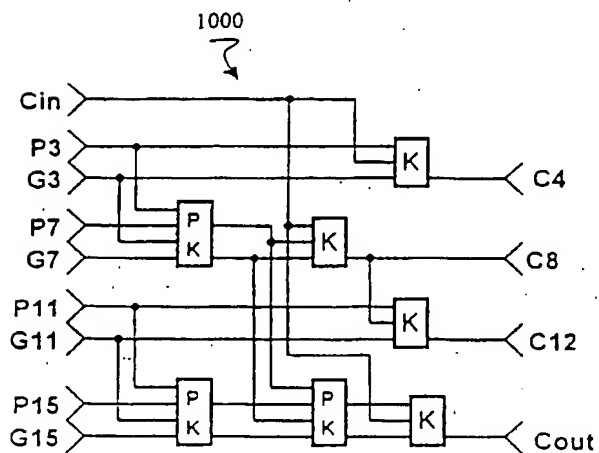
第 7 圖



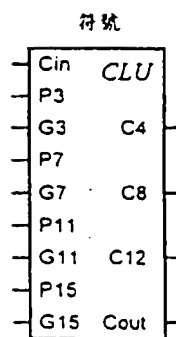
第 9A 圖



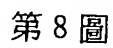
第 9B 圖

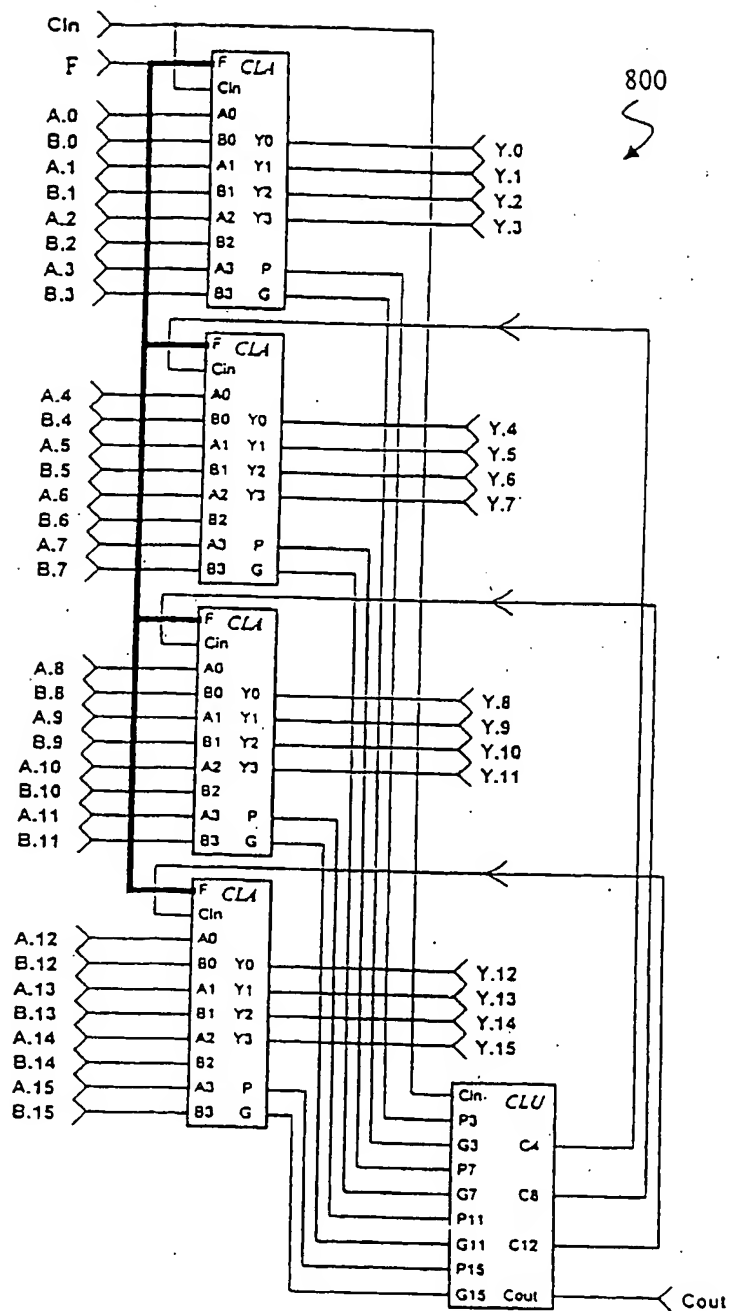


第 10A 圖

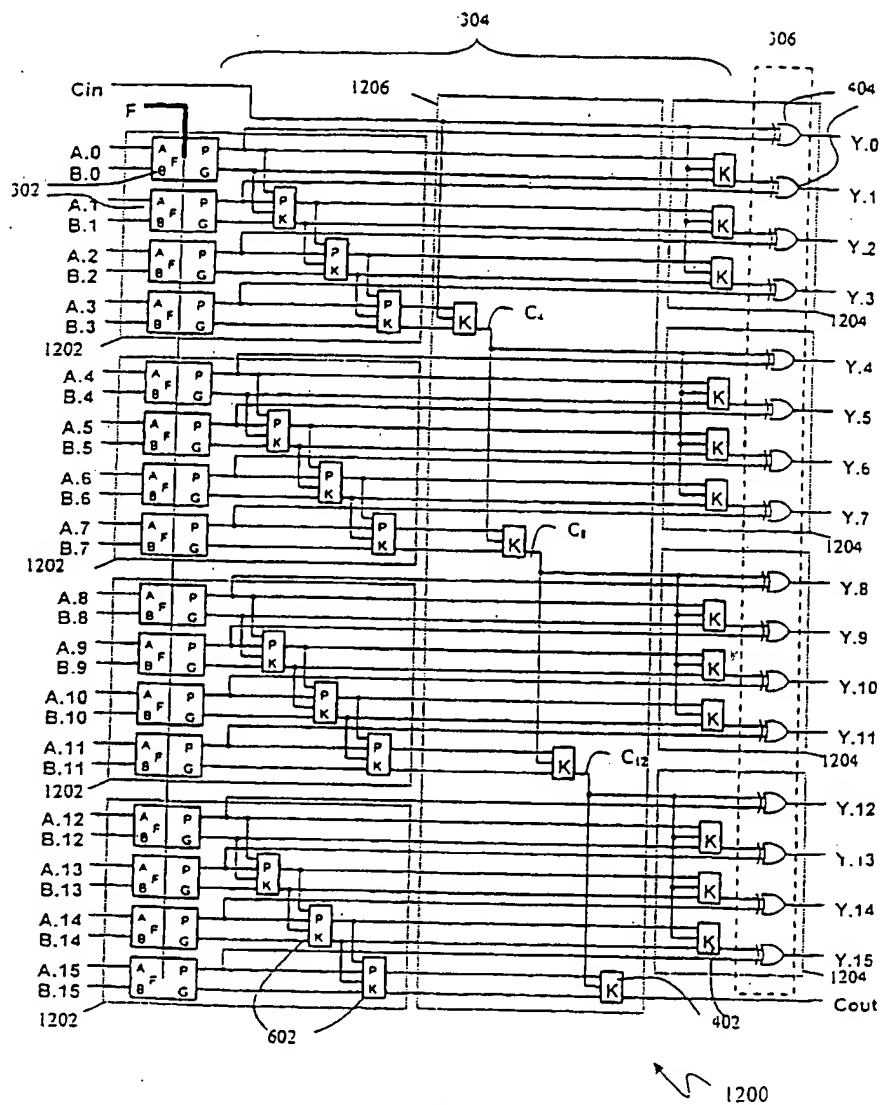
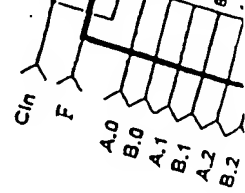


第 10B 圖

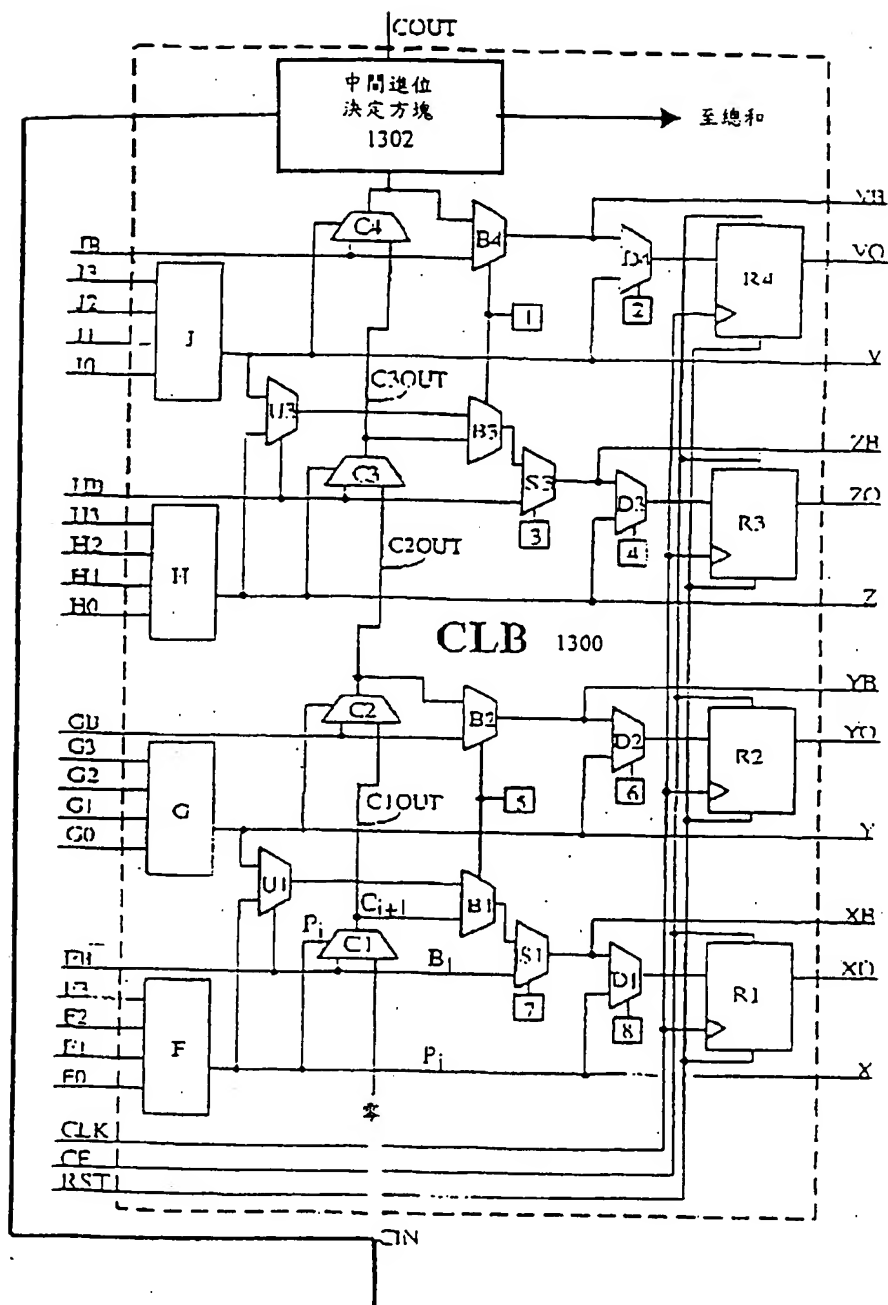




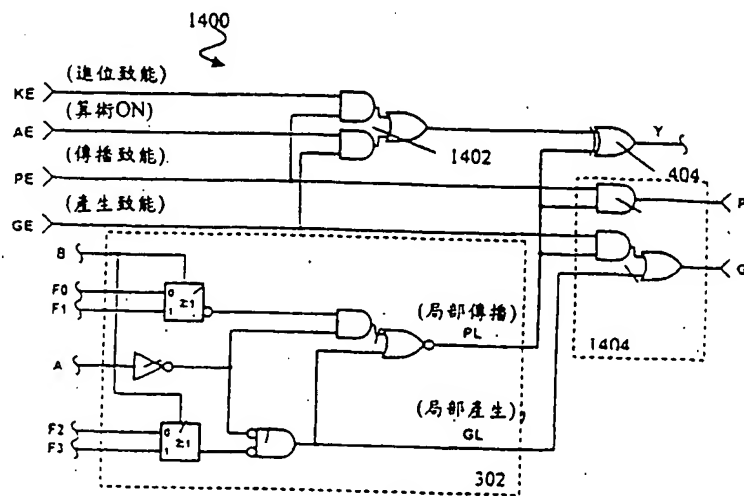
第 11 圖



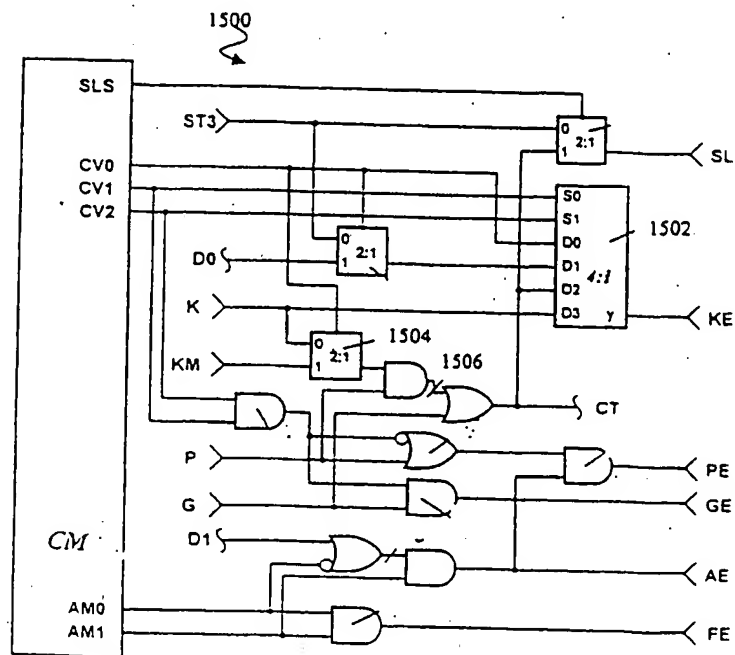
第 12 圖



第 13 圖



第 14 圖



第 15 圖